

**Semiconductor device and method of production of the semiconductor device**

Publication number: TW444298 (B)

Publication date: 2001-07-01

Inventor(s): KAWAHARA TOSHIMI [JP]; MATSUKI HIROHISA [JP];  
SHINMA YASUHIRO [JP]; YONEDA YOSHIYUKI [JP];  
FUKASAWA NORIO [JP]

Applicant(s): FUJITSU LTD [JP]

Classification:

- International: H01L23/12; H01L21/60; H01L23/31; H01L23/485;  
H01L25/065; H01L25/07; H01L25/18; H01L23/12;  
H01L21/02; H01L23/28; H01L23/48; H01L25/065;  
H01L25/07; H01L25/18; (IPC1-7): H01L21/52  
- European: H01L23/11H1; H01L23/485B; H01L25/065S

Application number: TW20000101276 2000012 B

Priority number(s): JP19990044919 19990223

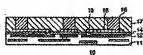
Also published as:

EP1032041 (A2)  
EP1032041 (A3)  
US6469370 (B1)  
JP2000243876 (A)  
CN1284923 (A)

Abstract of TW 444298 (B)

In a semiconductor device of the present invention and production method thereof, an electronic circuit is provided in a semiconductor substrate (11), the electronic circuit having terminals. An internal wiring pattern (12) is provided in the substrate, the internal wiring pattern being connected to the electronic circuit terminals. A protective layer (14) is provided on the substrate, the protective layer covering the substrate. Vias (13) are provided on the substrate so as to project from the protective layer, the vias being connected to the internal wiring pattern at arbitrary positions on the substrate. An external wiring pattern (15) is provided on the protective layer, the external wiring pattern being connected to the vias. Projection electrodes (16) are connected to the external wiring pattern, the projection electrodes having a predetermined height above the external wiring pattern. An enclosure layer (17) of a resin material is provided on the protective layer, the enclosure layer covering sides of the projection electrodes and external surfaces of the external wiring pattern.

FIG. 1B



Data supplied from the esp@cenet database — Worldwide

申請日期	89.1.26
案 號	89101276
類 別	16167/32

A4  
C4

444298

(以上各欄由本局填註)

# 發明專利說明書

一、發明名稱	中 文	半導體元件及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF THE SEMICONDUCTOR DEVICE
二、發明人	姓 名	(1)川原登志實 (5)深澤則雄 (2)松本浩久 (6)濱中雄三 (3)新間康弘 (7)永重健一 (4)米田義之 (8)穗積孝司
	國 籍	日 本
三、申請人	住、居所	(1)-(7)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (8)日本國愛知縣春日井市高藏寺町2丁目1844番2
	姓 名 (名稱)	日商・富士通股份有限公司
三、申請人	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	代 表 人 姓 名	秋草直之

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 ☒ 無主張優先權 ☐  
1999,02,23 特願平11-044919

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 半導體元件及其製造方法)

在本發明之半導體元件以及其製造方法中,一電路被設置在一半導體基材(11)中,該電路具有數個端子。一內部線路圖樣(12)被設置於該基材中,該內部線路圖樣與該電路端子相連接。一保護層(14)被設置於該基材上,該保護層覆蓋該基材。介層(13)被設置於該基材上,俾以由該保護層伸出,該介層係在該基材上之任意位置應與該內部線路圖樣相連接。一外部線路圖樣(15)被設置於該保護層上,該外部線路圖樣與介層相連接。數個伸出電極(16)與該外部線路圖樣相連接,該等伸出電極具有一位於該外部線路圖樣上方之預定高度。一樹脂材料封裝層(17)被設置在該保護層上,該封裝層覆蓋該等伸出電極的側邊及該外部線路圖樣的外表面。

## 英文發明摘要(發明之名稱: SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF THE SEMICONDUCTOR DEVICE)

In a semiconductor device of the present invention and production method thereof, an electronic circuit is provided in a semiconductor substrate (11), the electronic circuit having terminals. An internal wiring pattern (12) is provided in the substrate, the internal wiring pattern being connected to the electronic circuit terminals. A protective layer (14) is provided on the substrate, the protective layer covering the substrate. Vias (13) are provided on the substrate so as to project from the protective layer, the vias being connected to the internal wiring pattern at arbitrary positions on the substrate. An external wiring pattern (15) is provided on the protective layer, the external wiring pattern being connected to the vias. Projection electrodes (16) are connected to the external wiring pattern, the projection electrodes having a predetermined height above the external wiring pattern. An enclosure layer (17) of a resin material is provided on the protective layer, the enclosure layer covering sides of the projection electrodes and external surfaces of the external wiring pattern.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

夾

## 五、發明說明(1)

本發明大致有關於一半導體元件及一製造半導體元件的方法，更明確的係有關於一具有晶片大小封裝結構(CSP)的半導體及其製造方法。

為使半導體元件的形狀及大小與晶片形狀大小盡可能吻合，曾經提出半導體元件的晶片大小封裝結構，其中在半導體元件上提供外部輸出終端，並使其包裹於樹脂材料中。

以下裝先參考第11、12及13圖對傳統CSP半導體元件加以敘述。第11圖說明傳統CSP半導體元件1100。第12圖為該CSP半導體元件1100延第11圖中所顯示之虛線所截切的截面圖。第13圖顯示傳統CSP半導體元件1100中構件的內連結電路。

如第12圖所示，傳統CSP半導體元件1100中提供一半導體基材1101、一內部線路圖樣1102、介層1103、一保護層1104及一外部線路圖樣1105及伸出電極1106。基材1101含一提供其中的電子電路，而該電子電路包括終端。該內部線路圖樣1102提供於基材1101上且連接至該電子電路終端。介層1103由鋁金屬(Al)製成且具有導電性質。介層1103連接至內部線路圖樣1102上。該介層1103係提供於基材1101中並自保護層1104伸出。保護層1104係以樹脂材料如聚亞胺製成，其為介電層並提供於基材1101上。外部線路圖樣1105係由銅金屬(Cu)製成並與從保護層1104中伸出的介層1103連接。伸出電極1106係提供於外部線路圖樣1105上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

於上述第13圖的半導體元件1100中，為了便於顯示構件1103、1105、1106及1108而省略保護層1104。

在最後封裝的階段，除了伸出電極1106之最上端被封裝包裹外，其他半導體元件1100封裝於一樹脂封裝材料中。第12圖中並未說明傳統CSP晶片封裝。

在上述第13圖的半導體元件1100中，該伸出電極1106在晶片上的位置係藉由外部線路圖樣之再熔焊接以固定的方式加以決定。外部線路圖樣1105的再熔焊接可使塊墊1108及伸出電極1106。由於伸出電極1106間間隔可以比塊墊1108間間隔大，因此當藉由再熔焊接外部線路圖樣把上述半導體元件1100插接至主印刷電路板上時，可避免伸出電極1106形成短路。

然而，如第13圖所示，塊墊1108是在晶片表面的周圍部份。這些塊墊實質上與既有之線路連接元件所用的塊墊一樣。一般來說每個塊墊1108大小為 $100\mu\text{m} \times 100\mu\text{m}$ ，且將這些塊墊1108安排於周圍部份會防礙半導體元件封裝密度之增加。因此可以接在傳統CSP半導體元件的總電容數目就會因塊墊的大小受到嚴重的限制。

上述半導體元件1100中，外部線路圖樣1105並非以最短的距離連接塊墊1108及伸出電極1106。某些外部線路圖樣1105必須加長以連接周圍的塊墊1108及伸出電極1106，此舉會降低傳統CSP半導體元件中連接線路的電性效能。

為了克服上述的問題，本發明之實施例提供一改良之半導體元件，其可在半導體元件上達到電容高封裝密度，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

並可在不使半導體元件中連接線路的電性效能降低下縮小半導體元件的大小。

根據本發明之一較佳實施例，一半導體元件包括：一半導體基材；一提供於該基材中的電子電路，該電子電路具有終端；一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；一保護層，其提供於基材上，該保護層覆蓋該基材；介層提供於該基材上，且自保護層中伸出，該介層與內部線路圖樣在基材上的任意位置相連接；一外部線路圖樣，其與介層連接；伸出電極係提供於該外部線路圖樣上，該伸出電極與該外部線路圖樣連接以在該伸出電極與該電子電路終端建立連接，該伸出電極具有一預定高於該外部線路圖樣之高度；及一樹脂材料封裝層，其係提供於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面。

較佳實施例之半導體元件不需要傳統CSP半導體元件中的塊墊。在此半導體元件較佳實施例中，該伸出電極與外部線路圖樣連接以在伸出電極與電子電路終端間建立連接。該外部線路圖樣以最短的距離連接介層與伸出電極。本發明之半導體元件可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。由於伸出電極與電子電路終端間的連接可以最短距離達成，該較佳實施例之半導體元件可有效將連接線路的電性效能維持在適當的水準。

在本發明半導體元件之另一較佳實施例中，一半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

元件包括：一半導體基材；一提供於該基材中的電子電路，該電子電路具有終端；一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；一保護層，其提供於基材上，該保護層覆蓋該基材；介層提供於該基材上，並自保護層中伸出，該介層與內部線路圖樣在基材上的任意位置相連接；一外部線路圖樣，其與介層連接；引導線其與外部線路圖樣連接，該引導線以一膠帶支撐；及一樹脂材料封裝層，其係提供於保護層上，該封裝層覆蓋該引導線的部份及外部線路圖樣的外表面。

上述本發明較佳實施例之半導體元件可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。上述本發明較佳實施例之半導體元件可有效將連接線路的電性效能維持在適當的水準。

在本發明半導體元件製造方法之一較佳實施例中，該製造方法包括以下步驟：提供一電子電路於半導體基材中，該電子電路包括一輸入電容及輸出電容，該輸入電容具有一輸入終端，該輸出電容具有一輸出終端；提供一內部線路圖樣於該基材中，該內部線路圖樣連接至該輸入終端與該輸出終端；提供一保護層於基材上，該保護層覆蓋該基材；提供介層於基材上的任意位置，該介層自保護層中伸出並與內部線路圖樣相連接；提供一外部線路圖樣，該外部線路圖樣與介層連接；提供伸出電極於該外部線路圖樣上，該伸出電極與該外部線路圖樣連接以在該伸出電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(5)

與該電子電路終端建立連接，且該伸出電極以一預定高度高於該外部線路圖樣；及利用一壓塑方法提供一樹脂材料封裝層於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面。

上述本發明半導體元件製造方法之較佳實施例可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。由於伸出電極與電子電路終端間的連接可以最短距離達成，上述較佳實施例之製造方法可有效將連接線的電性效能維持在適當的水準。

圖示簡要說明

配合以下所附圖示，本發明之其他目的、特徵及優點可藉由以下的說明更為清楚。

第1A及1B圖為根據本發明半導體元件之第一較佳實施例圖示；

第2A及2B圖為解釋本發明之第一較佳實施例與傳統半導體元件間差異之圖示；

第3圖為解釋根據本發明之半導體元件第一較佳實施例之製造方法圖示；

第4圖為顯示接上阻隔壁的半導體元件之第一較佳實施例圖；

第5圖為顯示半導體元件之第一較佳實施例的晶圓狀況；

第6A及6B圖為根據本發明半導體元件之第二較佳實施例的截面圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

第7A及7B圖為根據本發明半導體元件之第三較佳實施例的圖示；

第8圖為根據本發明半導體元件之第四較佳實施例的截面圖；

第9圖為根據本發明半導體元件之第五較佳實施例的截面圖；

第10A及10B圖為根據本發明半導體元件之第六較佳實施例的截面圖；

第11圖為傳統CSP半導體元件之俯視圖；

第12圖為第11圖之傳統CSP半導體元件的截面圖；及

第13圖為顯示第11圖之傳統CSP半導體元件中構件之內連結圖示。

以下將配合圖示提供本發明較佳實施例之詳細說明。

第1A及1B圖顯示根據本發明半導體元件之第一較佳實施例。第1A圖為半導體元件之第一較佳實施例的俯視圖。第1B圖為延第1A圖中之虛線切割後半導體元件之第一較佳實施例截面圖。

此實施例之半導體元件10具有CSP結構，如第1A及1B圖所示。在此實施例之半導體元件10中，提供一半導體基材11，其中包括一電子電路。包含於基材11中之電子電路包括一輸入電容及一輸出電容，該輸入電容具有一輸入終端，而該輸出電容包括一輸出終端。

一內部線路圖樣12提供於基材11中，且該內部線路圖樣12與電子電路終端連接。一保護層14提供於基材11上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

並且該保護層14覆蓋該基材11。數個介層13提供於基材11上並自保護層14伸出。該等介層13內部線路圖樣12在基材11上的任意位置相連接。該介層13經由內部線路圖樣12與包括於基材11中的電子電路輸入或輸出終端相連接。

一外部線路圖樣15提供於保護層14上，且該外部線路圖樣15連接至介層13。數個伸出電極16提供於該外部線路圖樣15上且與外部線路圖樣15連接，以在伸出電極16及電子電路終端間建立連接。該伸出電極16以一預定高度高於外部線路圖樣15。

於本實施例半導體元件10中，一樹脂材料封裝層17提供於保護層14上，且該封裝層17覆蓋該伸出電極16的側邊及該外部線路圖樣15的外表面。只有伸出電極16的上表面未被封裝層17覆蓋。

如第1A及1B圖所示，本實施例之半導體元件10中，該介層13與外部線路圖樣15於基材上的任意位置相連。於第1A圖中，元件標號13a代表介層13及外部線路圖樣15間之連接位置之一。如第1A圖所示，部份的外部線路圖樣15自連接部份13a延伸至伸出電極16。該伸出電極16提供於外部線路圖樣15之該部份端上。

於第3圖之傳統CSP半導體元件中，電子電路終端係連接至塊墊1108，且該塊墊1108藉由安排外部線路圖樣1105連接至該伸出電極1106。也就是該外部線路圖樣1105的路線是自塊墊1108牽至伸出電極1106。因此，該外部線路圖樣1105並非以最短距離連接介層1103及伸出電極1106

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

本實施例之半導體元件 10 不需要提供於傳統 CSP 半導體元件中的塊墊。於本實施例之半導體元件 10 中，該伸出電極 16 與外部線路圖樣 15 相連以在伸出電極 16 與電子電路終端間建立連接。該外部線路圖樣 15 以最短的距離連接介電 13 與伸出電極 16。因此，本實施例之半導體元件 10 可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。由於伸出電極 16 與電子電路終端間的連接可以最短距離達成，本實施例之半導體元件 10 可有效增加連接線路的電性效能。

本實施例之半導體元件 10 中，介層 13 係以鋁製成，且其直徑從內部線路圖樣 12 計算在  $5\mu\text{m}$  至  $25\mu\text{m}$  範圍間，高度在  $10\mu\text{m}$  至  $50\mu\text{m}$  範圍間。如第 1B 圖所示，介層 13 連接至基材 11 中的內部線路圖樣 12，該內部線路圖樣 12 以鋁製成且連接至電子電路終端及介層 13。然而，上述實施例可修改。若有任何包括在基材 11 的電子電路部份沒有剛好在介層 13 下方時，介層 13 可提供於任何藉由內部線路圖樣 12 與電子電路終端連接的位置。外部線路圖樣 15 提供於保護層 14 上，該外部線路圖樣 15 具有一位於每個介層 13 上的部份，且該外部線路圖樣 15 於此部份與介層 13 連接。藉由此本發明之半導體元件 10 的修改，可在不降低連結的電子效能及減少降低產生於基材 11 之電子電路中的彈性電容係數或彈性感應係數。

於第 1B 圖之實施例中，內部線路圖樣 12 的上層與介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

層13連接。然而，本發明並非侷限於此實施例，而可將內部線路圖樣12之下層與介層13連接。

於本實施例之半導體元件10中，介層13用於連接該內部線路圖樣12及外部線路圖樣15。介層13的材料並不一定與線路圖樣12及15的材料相同，而介層13的材料可不同於線路圖樣12及15的材料。本實施例之外部線路圖樣15係由寬度 $25\mu\text{m}$ 之銅材料製成。該外部線路圖樣15係提供於保護層14上。該外部線路圖樣15的材料並不限於銅，而可使用金或鎳作為外部線路圖樣15的材料。

於本實施例之半導體元件10中，外部線路圖樣15在晶片製造過程完成後扮演重新安排從13a部份至伸出電極16間之連接的功能。於傳統CSP半導體元件中，外部線路圖樣的路徑安排是設定從周圍部份的塊墊通往伸出電極。如上所述，該介層13可提供於基材上的任意位置，且伸出電極16及電子電路終端可以最短的距離連接。本實施例之半導體元件10可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。相較於傳統CSP半導體元件，本實施例之半導體元件10可更有效增加連接線路的電性效能。

第2A及2B圖顯示第本發明之第一較佳實施例之半導體元件10與一傳統CSP半導體元件20之差異。

如第2A圖中所示，連接至半導體元件10之外部線路圖樣15之介層13在連接部份13a具有與外部線路圖樣15一樣或更小的寬度。半導體元件10之外表面上的介層13與連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（10）

接至包括於基材11內之內部線路圖樣12的介層一樣大小。此有助於本實施例之半導體元件10達成體積縮小。介層13的連接部份13a在寬度上稍微比外部線路圖樣15大。然而，該連接部份13a可經由調整以修正任何外部線路圖樣15之對齊失準，且不會造成半導體元件的大小明顯增加。

如第2B圖所示，半導體晶片21，其中傳統CSP半導體元件20之周圍部份包括塊墊1108，大小上較本實施例之半導體元件10大。該塊墊1108在半導體晶片21中所佔的區域會嚴重妨害達成縮小半導體元件的目的。

如第2A圖所示，在本實施例之半導體元件10中，伸出電極16提供於外部線路圖樣15上的外部線路圖樣15預定端部份。該外部線路圖樣15預定端部份的形狀與各別伸出電極16的位置一致。

於本實施例之半導體元件10中，伸出電極16藉由銅鍍膜形成於外部線路圖樣15上。該伸出電極16的直徑為 $30\mu\text{m}$ 且以 $100\mu\text{m}$ 高於外部線路圖樣15。該伸出電極16係以與該半導體元件10要配裝的主印刷電路板外部終端之安排一致的方式加以安排。樹脂材料製成的封裝層17提供於基材上並覆蓋伸出電極16的側邊及外部線路圖樣15的外表面。只有伸出電極16的上表面未被封裝層17覆蓋。在此實施例中，該樹脂材料封裝層17係藉由壓塑的方法形成於基材11上，以下將會對其加以說明。

接著，將參考第3圖提供第一較佳實施例之半導體元件的製造方法之說明。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 11 )

如同第3圖所示，一厚度為 $1\mu\text{m}$ 之PSG/SiN層34a藉由濺鍍形成於半導體基材31上，且一厚度為 $10\mu\text{m}$ 之聚亞胺樹脂藉由濺鍍再形成於基材31之PSG/SiN層34a上。藉由該PSG/SiN層34a及覆蓋層34b構成一保護層34。該基材31包含一電子電路(未示)及一內部線路圖樣12。

一深達內部線路圖樣12的開口藉由在一對應於一介層33的位置蝕刻形成於基材31中。接著該基材31中的開口藉由自底往上填洞方法填入鋁以形成介層。

形成介層33後，一由鉻製成厚度為 $1\mu\text{m}$ 的接觸金屬層35a藉由濺鍍形成於基材31整個表面上。接下來，一由銅製成厚度為 $2\mu\text{m}$ 線路基底金屬層35b藉由濺鍍形成於該接觸金屬層35b上。

在該線路基底金屬層35b形成後，一外部線路圖樣35以如下方法形成於線路基底金屬層35b上。以一線路形成光阻(未示)將不提供外部線路圖樣35之線路基底金屬層35b部份加以覆蓋，並藉由電鍍的方式將使以銅製成厚度為 $5\mu\text{m}$ 之外部線路圖樣35形成於線路基底金屬層35b上。

在外部線路圖樣35形成後，以一線路形成光阻(未示)將不提供伸出電極36之外部線路圖樣35部份加以覆蓋，並藉由電鍍的方式將使以銅製成厚度為 $100\mu\text{m}$ 之伸出電極36形成於外部線路圖樣35上。接著，未了提供具有抗腐蝕的伸出電極36，一由鎳、金或鈀製成的保護金屬層形成於伸出電極36的上表面上。

在除去電極形成光阻後，利用外部線路圖樣35做為幕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

罩進行蝕刻。未被遮罩的接觸金屬層35a及線路基底金屬層部份藉由此蝕刻而加以移除，如第3圖所示。此蝕刻會造成外部線路圖樣35及保護金屬層之厚度稍微減少。應注意到在形成外部線路圖樣35及保護金屬層40時要製造適當厚的厚度，且上述兩層厚度即使在經上述蝕刻使厚度減少後都要維持一適當的厚度。

在此實施例之製造方法中，伸出電極36形成後，該覆蓋層17(未示於第3圖中)藉由一壓塑方法形成於基材11上，接下來將對此說明。

上述壓塑方法使用上及下模板，其以一預定形狀形成一空腔。一其上已製成半導體元件半成品(每個半成品係包括已形成之伸出電極但封裝層仍未形成)之晶圓置於該上下模板間的空腔中。將熱塑樹脂板，如PPS、PEEK或PES板至於晶圓中央上方，此時需避免樹脂沾黏至上下模板。可藉由在上下模板使用保護膜來避免樹脂沾黏。

在壓塑方法中，在樹脂板置於上下模板間的空腔內後，將該具有晶圓置於其中的上下模板加熱至高於該樹脂熔點的溫度，當該模板經加熱後，其中一模板壓向另一模板以使晶圓上的樹脂板受熱及擠壓。該樹脂，其因受熱而軟化，可在壓塑的條件下伸展至整個晶圓表面。在每一個半導體元件，樹脂材料的封裝層17係形成於基材31上，以使封裝層17覆蓋伸出電極36的側邊及外部線路圖樣35的外表面。

上述實施例中，上述的壓塑方法係用於晶圓。另外，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 13 )

此壓塑方法可用於各別半導體晶片，其係由切割晶圓成塊而產生。

上述壓塑方法之詳細說明已在如1997年1月23日提申之日本專利申請案第9-10683號，其對應美國專利申請案第029608號並讓渡予本發明之申請人。上述前申請案之有關壓塑方法之揭露在此列入參考。

本實施例之製造方法使用以壓塑樹脂製成的封裝層17，其依上述壓塑方法形成於保護層上。該樹脂並不一定要包括一傳統半導體元件之封裝層所需的塑形潤滑劑。因為在封裝層17之樹脂中並無塑形潤滑劑，因此本實施例之半導體元件可在不降低用以封裝層17之樹脂黏著力的情形下覆蓋伸出電極16的側邊及線路圖樣15之外表面。

在封裝層17依此壓塑方法形成於保護層14上後，一薄樹脂層可能出現在伸出電極16的上表面上。此薄樹脂層可藉由一蝕刻製程、一研磨製程、一沖沙方法或一紫外光照射輕易地自伸出電極之上表面上移除。

或者，一適當材料之彈性膜可在進行壓塑時用於封裝層的上模板。在使用彈性膜後，該伸出電極16在進行壓塑時會穿透該彈性膜，而在壓塑完成後，移去該彈性膜。藉由此方法使用彈性膜可避免伸出電極16之上表面上形成一薄樹脂層。

第4圖顯示已接上焊接球之半導體元件第一較佳實施例。

如上所述，於本實施例之半導體元件10中，只有伸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(14)

電極16的上表面未被樹脂材料封裝層所覆蓋。於第4圖之半導體元件10中，焊接球48係形成於伸出電極46的上表面上。

如第4圖所示，於本實施例之半導體元件10中，提供一半導體基材41，其包含一電子電路於其中。該基材41所包含之電子電路包括一輸入電容及一輸出電容，該輸入電容具有一輸入終端，而該輸出電容具有一輸出終端。

一內部線路圖樣42係提供於基材41中，且該內部線路圖樣42與電路終端連接。一保護層44提供於基材41上，並且該保護層44覆蓋該基材41。數個介層43提供於基材41上並自保護層44伸出。該等介層43內部線路圖樣42在基材41上的任意位置相連接。該介層43經由內部線路圖樣42與包括於基材41中的電子電路輸入或輸出終端相連接。

一外部線路圖樣45提供於保護層44上，且該外部線路圖樣45連接至介層43。數個伸出電極46提供於該外部線路圖樣45上且與外部線路圖樣45連接，以在伸出電極46及電子電路終端間建立連接。該伸出電極46以一預定高度高於外部線路圖樣45。

於本實施例半導體元件10中，一樹脂材料封裝層47提供於保護層44上，且該封裝層47覆蓋該伸出電極46的側邊及該外部線路圖樣45的外表面。只有伸出電極46的上表面未被封裝層47覆蓋。焊接球48係形成於伸出電極46的上表面上。

有許多習知的方法可在伸出電極46的上表面上形成焊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 15 )

接球48。例如一傳遞焊接球形成方法或一利用模板遮罩之幕印方法可用於在此實施例之半導體裝製伸出電極46的表面上形成焊接球。典型的焊接球材料為錫鉛合金。此合金的組合比例依所需之焊接球性質而改變。

可在不使用焊接球48下將半導體元件10配裝到主印刷電路板。然而，第4圖中使用形成於伸出電極46上之焊接球48的半導體元件10在配裝該半導體元件10之前不需任何焊接點在主印刷電路板上。此實施例之半導體元件10增加其配裝至主印刷電路板的方便性。

在進行完焊接球45之形成後，即產生一晶圓其中每個半導體元件包括外部線路圖樣45及伸出電極46在基材41上形成且焊接球亦在伸出電極46上形成。晶圓上的每個半導體元件中，樹脂材料之封裝層藉由壓塑方法形成於基材上。

第5圖顯示在晶圓切割成數個晶片前之第一半導體元件較佳實施例晶圓的狀況。如第5圖所示，該樹脂材料封裝層57係形成於晶圓之基材51的整個表面上，且該焊接球58形成於各個半導體元件伸出電極上。第5圖中，晶圓上每個半導體元件之詳細的構件構造實質上與第4圖中之半導體元件10一樣，因此在此省略其說明。

最後，藉由切割鋸將上述晶圓如第5圖中的虛點線所示切割成數塊，而所產生的每塊晶片及構成本實施例之半導體元件10。因此，在此實施例之半導體元件10中，如第4圖所示，該封裝層47包括一第一側邊表面且該基材41包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 16 )

括一第二側邊表面，而該第一側邊表面及第二側邊表面形成一因切割鋸切割而產生的共同平面。

因此，此實施例之半導體元件可有效地達成半導體元件體積縮小，並增加半導體元件上電容之封裝密度。

於第1A及2A圖所示之本實施例半導體元件中，介層13與外部線路圖樣15於基材11上的任意位置相連，且伸出電極16與電子電路終端間的連接可以最短距離達成。外部線路圖樣15以最短的距離連接介電13與伸出電極16。此外，樹脂材料封裝層17係藉由壓塑的方法形成於基材11上。隨著外部線路圖樣15的長度減到最低，樹脂在壓塑時的流動性質可明顯地改善且可完全地避免孔洞包含於封裝層17內。

此外，本實施例之半導體元件中，一輸入訊號可經由伸出電極16直接供應至基材11中的電子電路，而一來自電子電路之回應輸出訊號可經由伸出電極16偵測而得。根據本發明，此實施例之半導體元件在藉由壓塑的方法於基材11上形成樹脂材料封裝層17後，進一步包括一步驟，其連接一測試探針至伸出電極16，以測試包含於基材11的電子電路。於此測試步驟中，一輸入訊號係自測試探針經由伸出電極16提供至基材11之電子電路，且一來自電子電路之回應輸出訊號可經由與伸出電極16連接之測試探針偵測而得。

大致上，傳統半導體元件在測試已封裝之半導體晶片時有其困難。然而，本實施例之半導體元件在達成測試的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 17 )

目的上顯得十分方便，該測試係接著封裝後而進行。此外，此實施例之半導體元件實質上在一為最終產品的狀態下，而如此可藉著利用此實施例之半導體元件以便對已在最終產品之狀態下的半導體元件進行測試步驟。

第6A及6B圖顯示根據本發明之第二較佳實施例之半導體元件。於此實施例之半導體元件中，使用一由膠帶支撐的引導線以取代第1A及1B圖之第一較佳實施例中的伸出電極16。

如第6A所示，此實施例之半導體元件包括一半導體基材61。一電子電路提供於該基材61中，該電子電路具有終端。一內部線路圖樣62提供於該基材61中，該內部線路圖樣62與該電子電路終端連接。一保護層64提供於基材61上，該保護層64覆蓋該基材61。數個介層63提供於該基材61上，並該介層63自保護層64中伸出，且該介層63與內部線路圖樣62在基材61上的任意位置相連接。一外部線路圖樣65提供於保護層64上，該外部線路圖樣65連接至介層63。數個以一膠帶68支撐之引導線63連接至外部線路圖樣65。一樹脂材料封裝層67提供於保護層64上，該封裝層67覆蓋該引導線66的部份及外部線路圖樣65的外表面。

於上述實施例中，使用該引導線66取代伸出電極16，以將包含於此實施例之半導體元件中的電子電路連接至一外部元件。此實施例之半導體元件可有效降低引導線間距離至相當小約 $30\mu\text{m}$ 的程度。

第6B圖的半導體元件大致上與第6A圖之半導體元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（18）

相同，其與第6A圖中之實施例不同的地方在於其進一步在外部線路圖樣65及引導線66間提供一不同導電材料的連接層69，例如金(Au)。此實施例之半導體元件其包括該連接層69，可有效地防止引導線66在外部線路圖樣65上短路，及降低引導線及外部線路圖樣65間內連線中的應力。

第7A及7B圖顯示依本發明之半導體元件第三較佳實施例。第7A圖為此實施例之半導體元件的俯視圖。第7B圖為延第7A圖中之點虛線切割後此實施例之半導體元件的截面圖。

如第7A及7B圖所示，此實施例之半導體元件包括一主印刷電路板71、一第一半導體元件72及一第二半導體元件73。於此實施例之半導體元件中，該第二半導體元件73在一個方向之長度上較小於第一半導體元件72且藉一黏著劑連接至第一半導體元件72上。藉由此黏著劑在第一及第二半導體元件72及73間形成一黏著層74。

上述第7A及7B圖之實施例中，該第一半導體元件72以不同於本發明第一較佳實施例之半導體元件的結構來構成。此第一半導體元件72包括一第一基材，其具有第一表面及周圍部份在此第一表面上。一第一電子電路提供於此基材中，此第一電子電路具有終端。數個塊墊76係提供於此第一基材的周圍部份，且該塊墊與第一電子電路終端相連接。

於上述第7A及7B圖之實施例中，該第二半導體元件73係以實質上與本發明第一較佳實施例之半導體元件相同的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 19 )

結構來構成。該第二半導體元件73包括一第二基材。一第二電子電路提供於此第二基材中，且此第二電子電路具有終端。一內部線路圖樣提供於此第二基材中，且此內部線路圖樣連接至該第二電子電路終端。一保護層提供於此第二基材上，且此保護層覆蓋該第二基材。數個介層77提供於第二基材上，且該等介層77自保護層伸出。介層77於第二基材上之任意位置連接至內部線路圖樣。一外部線路圖樣75提供於保護層上，且該外部線路圖樣75連接至介層77以在外部線路圖樣75與第二電子電路終端間建立電性連接。此外，如第7A及7B圖中所示，該外部線路圖樣75藉由使用電線連接至第一半導體元件72之塊墊76。

於此實施例中，可藉由進行樹脂材料的射擊(potting)方法提供覆蓋該第一及第二半導體元件72及73的封裝層，但其未示於第7A或7B圖中。

於上述實施例中，將兩個具有不同功能的半導體元件配裝到主印刷電路板上可在一只具有將近一個晶片的區域並降低整個半導體元件的高度下達成。例如，該第一半導體元件72可由邏輯LSI元件構成，而第二半導體元件73可由一快閃記憶元件構成。

第8圖顯示一本發明半導體元件之第四較佳實施例。

如第8圖所示，此實施例之半導體元件包括一主印刷電路板81、一第一半導體元件82及一第二半導體元件83。於此實施例之半導體元件中，該第二半導體元件83在一個方向之長度上較小於第一半導體元件82，且固接至第一半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(20)

導體元件82上以使第一及第二半導體元件82及83之電子電路表面可相互吻合，而第一及第二半導體元件82及83藉由焊接球86內連。此外，該第一及第二半導體元件82及83以電線配裝在主印刷電路板上。

此實施例之每個第一及第二半導體元件82及83包括實質相同於第1A及1B圖之第一較佳實施例中的構件11、12、13、14及15的構件。相似於第一較佳實施例，該第二半導體元件83包括介層87且外部線路圖樣85連接至介層87，但不包括伸出電極與封裝層。藉由焊接球86，其係焊接而成，該第二半導體元件83之外部線路圖樣85經由一不同導電材料例如金(Au)的連接層84連接至第一半導體元件82。於此實施例中，焊接球86在第一及第二半導體元件82及83內的電子電路間建立電性連接。

上述實施例之半導體元件中，並未提供伸出電極，且第一及第二半導體元件82及83內的電子電路間藉由焊接球86內連。第一及第二半導體元件82及83配裝至主印刷電路板上所造成總半導體元件高度可降低到相當小的高度。於此實施例中，可藉由進行樹脂材料的射擊(potting)方法提供覆蓋該第一及第二半導體元件82及83的封裝層，但其未示於第8圖中。

於上述實施例中，將兩個具有不同功能的半導體元件配裝到主印刷電路板上可在一只有將近一個晶片的區域並降低整個半導體元件的高度下達成。

第9圖顯示一本發明半導體元件之第五較佳實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 21 )

如第9圖所示，此實施例之半導體元件實質相同於第8圖之半導體元件，其不同於第8圖中的半導體元件為使用伸出電極96取代引導線以將第一及第二半導體元件配接至主印刷電路板上。

於此實施例之半導體元件，如第9圖所示，提供第一半導體元件91及一第二半導體元件92。該第二半導體元件92在一個方向之長度上較小於第一半導體元件91，且固接至第一半導體元件91上以使第一及第二半導體元件91及92之電子電路表面可相互吻合，而第一及第二半導體元件91及92藉由焊接球94內連。該第二半導體元件92包括介層97且外部線路圖樣連街至介層97。

此第一半導體元件91伸出電極96提供於該第一半導體元件91之外部線路圖樣95上，其中該第二半導體元件92未固接。該伸出電極96連接至外部線路圖樣95。該伸出電極96以一預定高度高於外部線路圖樣95。

此第一半導體元件91包括一樹脂材料封裝層97提供於第一半導體元件91之保護層上，該封裝層97覆蓋該第一半導體元件91之伸出電極96的側邊及外部線路圖樣95的外表面。

在製造此實施例之半導體元件中，將一晶圓置於上下模板間，該晶圓上已有半導體元件半成品在第一及第二半導體元件91及92藉由焊接球94內連後製備而得，並接著進行壓塑方法以相似於上述第一較佳實施例之方式製造封裝層97於第一半導體元件91之保護層上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 22 )

於上述實施例中，將兩個具有不同功能的半導體元件配裝到主印刷電路板上可在一只將近一個晶片的區域下達成。此外，藉由提供該封裝層，其覆蓋介於兩個半導體元件間的焊接球，此實施例之半導體元件可有效提供可靠性高的半導體元件。

第10A及10B圖顯示一本發明半導體元件之第六較佳實施例。

如第10圖所示，此實施例之半導體元件包括一主印刷電路板101及一第二半導體元件102。

於此實施例中，該第二半導體元件102包括構件，其實質與第1A及1B圖中第一較佳實施例中的對應構件相同，除了第一較佳實施例中的伸出電極16與封裝層17。於此實施例中，藉著使用電線106將第二半導體元件102配裝至主印刷電路板101。第二半導體元件102上的外部線路圖樣105具有電線連接部份，其適用於電線106的線路連接。

於主印刷電路板101的適當位置上。藉由進行電線線路連接，該第二半導體元件102之外部線路圖樣105及主印刷電路板101之塊墊可藉由電線106內連。由電線106產生的內連建立了第二半導體元件102中電子電路與主印刷電路板101中的電子電路間的電性連接。

於第10A圖中所示的內連接中，延伸自主印刷電路板101之塊墊的電線106直接連接至第二半導體元件102之外部線路圖樣105的電線連接部份。

於第10B圖中所示的內連接中，延伸自主印刷電路板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 23 )

101之塊墊的電線106經過一不同導電材料，例如金(Au)的連接層104連接至第二半導體元件102之外部線路圖樣105的電線連接部份。

根據上述實施例之半導體元件，本發明之半導體元件可適於藉由既有的線路連接設備配裝至主印刷電路板上。由於上述實施例之半導體元件並不包括第一較佳實施例中的樹脂封裝層，因此此實施例不需要利用特殊的壓塑設備來製造此半導體元件。

本發明並不侷限於上述該等較佳實施例，任何在不偏離本發明之範圍內的變化與修改均屬本發明之範疇。

此外，本發明係基於1999年2月23日提申之日本優先權申請案第11-044,919號，其中所有的內容在此列為參考。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 24 )

## 元件標號對照

- 10, 20, 102, 1100... 半導體元件
- 11, 31, 41, 51, 61, 1101... 基材
- 12, 32, 42, 62, 1102... 內部線路圖樣
- 13, 33, 43, 63, 77, 87, 97, 1103... 介層
- 14, 34, 44, 64, 1104... 保護層
- 15, 35, 45, 65, 75, 85, 95, 105 1105... 外部線路圖樣
- 16, 36, 46, 66, 96, 1106... 伸出電極
- 17, 37, 47, 67, 97... 封裝層
- 34a... PSG/SiN層
- 34b... 覆蓋層
- 35a... 接觸金屬層
- 35b... 線路基底金屬層
- 40... 保護金屬層
- 48, 58, 86, 94... 焊接球
- 66... 引導線
- 69, 84, 104... 連接層
- 68... 膠帶
- 71, 81, 101... 印刷電路板
- 72, 82, 91... 第一半導體元件
- 73, 83, 92... 第二半導體元件
- 74... 黏著層
- 76... 塊墊
- 106... 電線

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

## 六、申請專利範圍

### 1. 一種半導體元件包括：

一半導體基材；

一電子電路提供於該基材中，該電子電路具有終端；

一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；

一保護層，其提供於基材上，該保護層覆蓋該基材；

介層提供於該基材上，且自保護層中伸出，該介層與內部線路圖樣在基材上的任意位置相連接；

一外部線路圖樣，其與介層連接，該外部線路圖樣連接至該介層；

伸出電極提供於該外部線路圖樣上，該伸出電極該外部線路圖樣連接以在該伸出電極與該電子電路終端建立連接，該伸出電極具有一預定高於該外部線路圖樣之高度；及

一樹脂材料封裝層，其係提供於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面。

2. 如申請專利範圍第1項之半導體元件，其特徵在於該半導體元件更包括焊接球提供於該伸出電極上，該等焊接球經由該伸出電極連接至該外部線路圖樣上。

3. 如申請專利範圍第1項之半導體元件，其特徵在於該封裝層包括一第一側邊表面且該基材包括一第二側邊表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

面，該第一側邊表面及第二側邊表面形成一因切割鋸切割而產生的共同平面。

4. 如申請專利範圍第1項之半導體元件，其特徵在於該提供於基材中的電子電路包括一輸入電容及一輸出電容，該輸入電容具有一輸入終端，而該輸出電容包括一輸出終端，且該介層13與該輸入終端或輸出終端連接。
5. 如申請專利範圍第1項之半導體元件，其特徵在於該封裝層係由一壓塑樹脂製成。
6. 如申請專利範圍第1項之半導體元件，其特徵在於該外部線路圖樣以最短的距離連接該介電與該伸出電極。
7. 如申請專利範圍第1項之半導體元件，其特徵在於每個該介層均具有一連接部份，於此該介層經由外部線路圖樣連接至伸出電極，該介層在該連接部份具有與該外部線路圖樣一樣或更小的寬度。
8. 一種半導體元件包括：
  - 一半導體基材；
  - 一電子電路提供於該基材中，該電子電路具有終端；
  - 一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；
  - 一保護層，其提供於基材上，該保護層覆蓋該基材；
  - 介層提供於該基材上，並自保護層中伸出，該介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

層與內部線路圖樣在基材上的任意位置相連接；

一外部線路圖樣，其與介層連接，該外部線路圖樣連接至該介層；

引導線其與外部線路圖樣連接，該引導線以一膠帶支撐；及

一樹脂材料封裝層，其係提供於保護層上，該封裝層覆蓋該引導線的部份及外部線路圖樣的外表面。

9. 一種半導體元件包括一第一半導體元件及一第二半導體元件，其中該第二半導體元件在一個方向之長度上較小於第一半導體元件且藉一黏著劑連接至第一半導體元件上，

該第一半導體元件包括：

一第一基材，其具有第一表面及周圍部份在該第一表面上；

一第一電子電路提供於此基材中，該第一電子電路具有終端；

塊墊提供於該第一基材的周圍部份，且該塊墊與該第一電子電路終端相連接，且

該第二半導體元件包括：

一第二基材；

一第二電子電路提供於該第二基材中，且該第二電子電路具有終端；

一內部線路圖樣提供於該第二基材中，且該內部線路圖樣連接至該第二電子電路終端；

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

## 六、申請專利範圍

一保護層提供於該第二基材上，且該保護層覆蓋該第二基材；

介層提供於該第二基材上且自保護層伸出，該等介層於該第二基材上之任意位置連接至該內部線路圖樣；

一外部線路圖樣提供於該保護層上，且該外部線路圖樣連接至該等介層以在該外部線路圖樣與該第二電子電路終端間建立電性連接，且該外部線路圖樣藉由電線連接至該第一半導體元件之塊墊。

10. 一種半導體元件包括一第一半導體元件及一第二半導體元件，其中該第二半導體元件在一個方向之長度上較小於該第一半導體元件且固接至該第一半導體元件上以使該第一及第二半導體元件之電子電路表面可相互吻合，而該第一及第二半導體元件藉由焊接球內連

每個第一及第二半導體元件包括：

一半導體基材；

一電子電路提供於該基材中，該電子電路具有終端；

一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；

一保護層，其提供於基材上，該保護層覆蓋該基材；

介層提供於該基材上，且自保護層中伸出，該介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

層與內部線路圖樣在基材上的任意位置相連接；及

一外部線路圖樣提供於該保護層上，該外部線路圖樣連接至該等介層以在該外部線路圖樣與該電子電路終端間建立電性連接，且該外部線路圖樣連接至該焊接球，

其特徵在於該第一及第二半導體元件之外部線路圖樣由該焊接球內連。

11. 如申請專利範圍第10項之半導體元件，其特徵在於該第一半導體元件包括：

伸出電極提供於該第一半導體元件之外部線路圖樣上，其中該第二半導體元件未固接，該伸出電極連接至該外部線路圖樣，該伸出電極96以一預定高度高於該外部線路圖樣；及

一樹脂材料封裝層提供於該第一半導體元件之保護層上，該封裝層覆蓋該第一半導體元件之該伸出電極的側邊及該外部線路圖樣的外表面。

12. 一種半導體元件包括：

一半導體基材；

一電子電路提供於該基材中，該電子電路具有終端；

一內部線路圖樣，其提供於該基材中，該內部線路圖樣與該電子電路終端連接；

一保護層，其提供於基材上，該保護層覆蓋該基材；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

介層提供於該基材上，且自保護層中伸出，該介層與內部線路圖樣在基材上的任意位置相連接；及

一外部線路圖樣提供於該保護層上，且該外部線路圖樣連接至該等介層以在該外部線路圖樣與該電子電路終端間建立電性連接，且該外部線路圖樣包括電線連接部份其藉由連接電線連接至該一主印刷電路板之塊墊。

### 13. 一種半導體元件包括：

一半導體基材；

一電子電路提供於該基材中，該電子電路具有終端；

一保護層，其提供於基材上，該保護層覆蓋該基材；

介層提供於該基材上，且自保護層中伸出，該介層與內部線路圖樣在基材上的任意位置相連接；

一外部線路圖樣提供於保護層上，該外部線路圖樣位於每個介層之上方，且該外部線路圖樣於該部份連接至該介層；

伸出電極提供於該外部線路圖樣上，該伸出電極該外部線路圖樣連接以在該伸出電極與該電子電路終端建立連接，該伸出電極具有一預定高於該外部線路圖樣之高度；及

一樹脂材料封裝層，其係提供於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

### 14. 一種半導體元件的製造方法，包括以下步驟：

提供一電子電路於半導體基材中，該電子電路包括一輸入電容及輸出電容，該輸入電容具有一輸入終端，該輸出電容具有一輸出終端；

提供一內部線路圖樣於該基材中，該內部線路圖樣連接至該輸入終端與該輸出終端；

提供一保護層於該基材上，該保護層覆蓋該基材；

提供介層於該基材上的任意位置，該介層自該保護層中伸出並與該內部線路圖樣相連接；

提供一外部線路圖樣於保護層上，該外部線路圖樣與介層連接；

提供伸出電極於該外部線路圖樣上，該伸出電極與該外部線路圖樣連接以在該伸出電極與該電子電路終端建立連接，且該伸出電極以一預定高度高於該外部線路圖樣；及

藉由利用一壓塑方法提供一樹脂材料封裝層於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面。

### 15. 如申請專利範圍第14項之方法，其特徵在於該製造方法更包括以下的步驟：

提供一晶圓，其上已製成數個半導體元件半成品，每個半成品係包括伸出電極及封裝層；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

切割晶圓成該半導體元件。

16. 如申請專利範圍第14項之方法，其特徵在於該製造方法更包括以下的步驟：<sup>製造</sup>在該封裝層形成後進行該伸出電極之上表面之蝕刻，以便自該伸出電極之上表面除去一樹脂層。

17. 如申請專利範圍第14項之方法，其特徵在於該製造方法更包括在該封裝層形成後<sup>製造</sup>於該伸出電極之上表面提供焊接球的步驟。

18. 一種半導體元件的製造方法，包括以下步驟：

提供一電子電路於半導體基材中，該電子電路包括一輸入電容及輸出電容，該輸入電容具有一輸入終端，該輸出電容具有一輸出終端；

提供一內部線路圖樣於該基材中，該內部線路圖樣連接至該輸入終端與該輸出終端；

提供一保護層於該基材上，該保護層覆蓋該基材

；  
提供介層於該基材上的任意位置，該介層自該保護層中伸出並與該內部線路圖樣相連接；

提供一外部線路圖樣於保護層上，該外部線路圖樣與介層連接；

提供伸出電極於該外部線路圖樣上，該伸出電極與該外部線路圖樣連接以在該伸出電極與該電子電路終端建立連接，且該伸出電極以一預定高度高於該外部線路圖樣；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

藉由利用一壓塑方法提供一樹脂材料封裝層於保護層上，該封裝層覆蓋該伸出電極的側邊及外部線路圖樣的外表面；及

連接一測試探針至該伸出電極以測試包含於基材中的電子電路。

(請先閱讀背面之注意事項再填寫本頁)

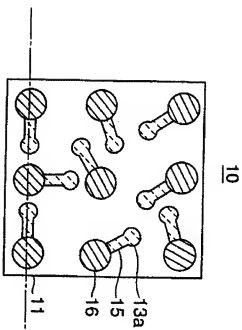
裝

訂

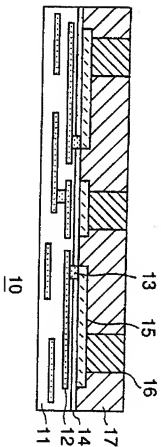
線

88101276

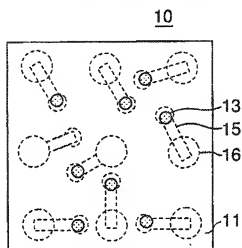
✓ 第1A圖



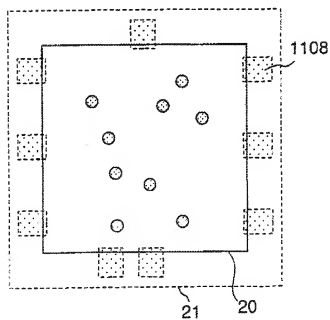
✓ 第1B圖



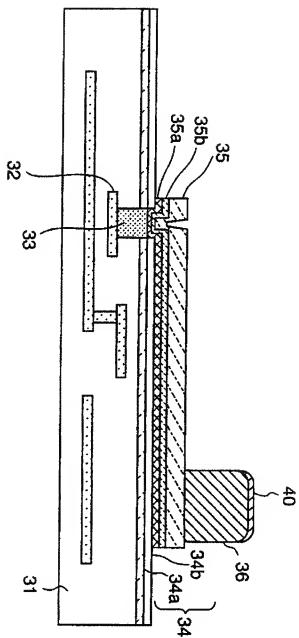
第 2A 圖



第 2B 圖

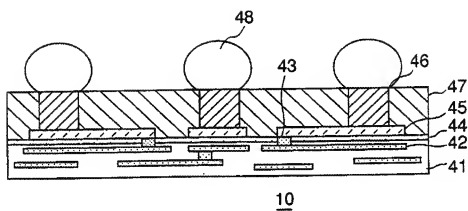


第 3 圖

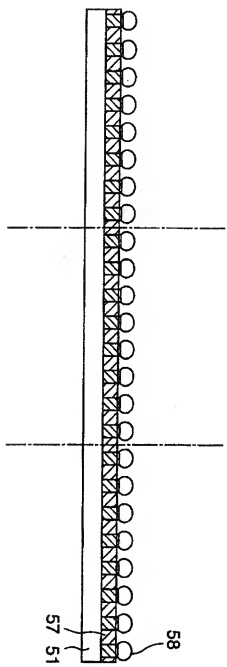




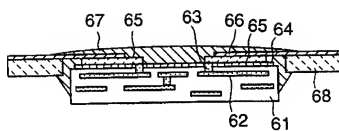
第 4 圖



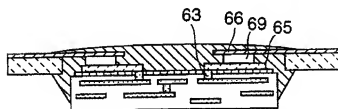
第 5 圖



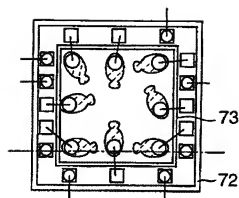
第 6A 圖



第 6B 圖



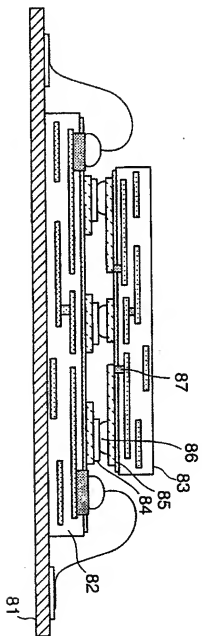
第 7A 圖



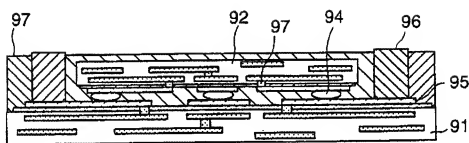
第 7B 圖



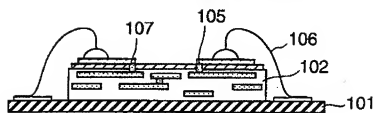
第 8 圖



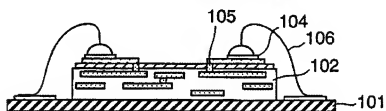
第 9 圖



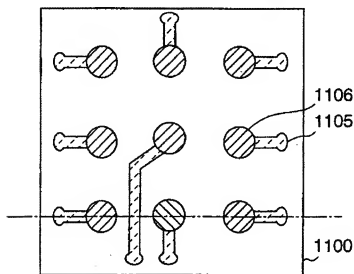
第10A圖



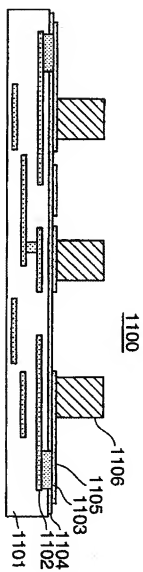
第10B圖



第 11 圖



第 12 圖





第 13 圖

